Artur Boroń*

SYSTEM AKWIZYCJI SYGNAŁÓW ENERGETYCZNYCH

STRESZCZENIE

Wymagania stawiane systemom akwizycji danych w pomiarach energetycznych nie są łatwe do spełnienia przez zwykłe karty pomiarowe. Dlatego został zaprojektowany i zbudowany dedykowany system akwizycji danych. Ma on 6 kanałów (3 prądowe i 3 napięciowe) o wejściach różnicowych przystosowanych do współpracy z przekładnikami napięciowymi i prądowymi. Zbudowany układ może być wykorzystywany do monitorowania zasilania dowolnych trójfazowych odbiorników energii elektrycznej zarówno o małej, jak i dużej mocy.

***Słowa kluczowe**: pomiar mocy i energii elektrycznej, monitorowanie parametrów zasilania, cyfrowe przetwarzanie sygnałów napięć i prądów*

ELECTRIC SIGNALS DATA ACQUISITION SYSTEM

Requirements for the data acquisition systems in power supply measurements are not easy to achieving by regular data acquisition systems. That is why the dedicated system was designed and developed. It has 6 differential channels (3 current and 3 voltage) compatible with currents and voltage transformers. It can be used for power supply monitoring of large, medium and small power consumption systems.

***Keywords:** measurement of power and energy, power supply monitoring, digital signal processing of currents and voltages*

1. WSTĘP

Specyfika pomiarów energetycznych w większości przypadków wymaga tworzenia specjalizowanych systemów akwizycji danych. Na rynku dostępne są tego typu rozwiązania w przyrządach do pomiaru jakości energii elektrycznej, niestety przyrządy te zwykle nie udostępniają surowych danych, jedynie wyniki przeprowadzonych na nich obliczeń, a jeśli to robią, to są to krótkie odcinki rejestracji. Jest to uzasadnione z punktu widzenia użytkownika, do którego kierowane są tego typu przyrządy. Niestety ogranicza to możliwość ich wykorzystania do celów eksperymentalnych i wymusza tworzenie własnych konstrukcji.

Koncepcja jest oparta na 6-kanałowym systemie akwizycji danych z synchronicznym próbkowaniem we wszystkich kanałach, przesyłającym dane do komputera PC poprzez magistralę USB (*Universal Serial Bus*). Cały system pomiarowy zasilany jest z portu USB, oddzielnego zasilania mogą wymagać jedynie przekładniki. Dane zebrane przez komputer klasy PC mogą być obrabiane w czasie rzeczywistym lub zapisywane na dysku komputera w zależności od potrzeb i złożoności obliczeniowej wykorzystywanego algorytmu.

2. AKWIZYCJA DANYCH POMIAROWYCH

W zaproponowanym rozwiązaniu wykorzystano 6-kanałowy 16-bitowy przetwornik sigma delta firmy Cirrus Logic. Jest to konstrukcja dedykowana do zastosowań energetycznych, zapewniająca synchroniczne próbkowanie we wszystkich kanałach. Dane z przetwornika udostępniane są w postaci szeregowej. Jest to interfejs synchroniczny z sygnałem synchronizacji początku ramki.

Blok przetworników A/D zawiera sześć kompletnych modulatorów sigma-delta czwartego rzędu wraz z filtrami decydującymi oraz źródło napięcia referencyjnego. Trzy kanały przeznaczone są do pomiarów napięć, a trzy do pomiaru prądu, dodatkowo wyposażone w regulowane wzmocnienie. Do zasilania części analogowej przetwornika wymagane jest ujemne napięcie o wartości 2 V, które układ może sam wytworzyć dzięki wbudowanemu w układ sterownikowi tworzącemu wraz z kilkoma elementami zewnętrznymi pompę ładunku.

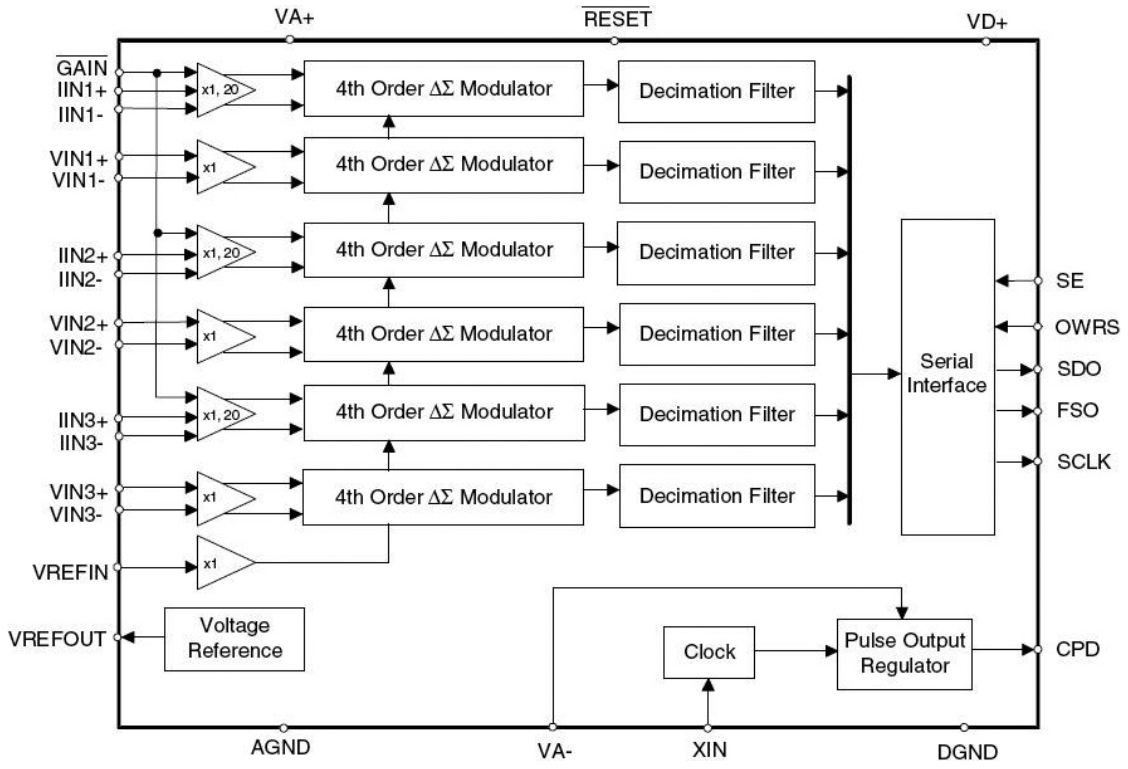
Schemat blokowy układu przedstawiono na rysunku 1.

3. STEROWANIE

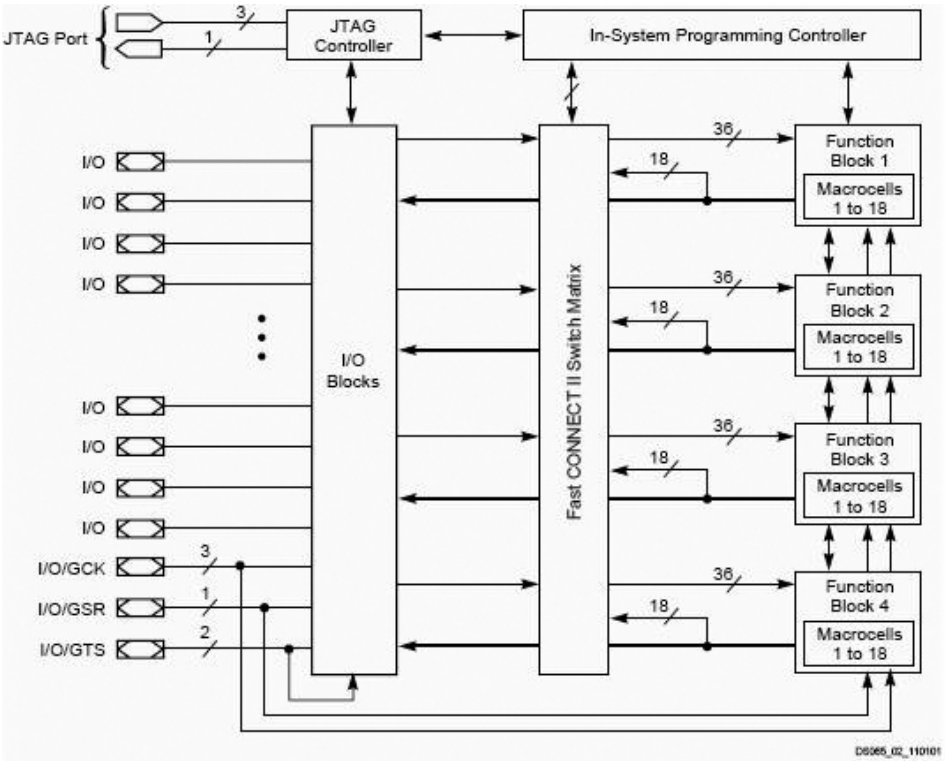
Sterowanie przetwornika oraz transmisje danych realizowana jest przez układ CPLD (*Complex Programmable Logic Device*) firmy Xilinx, jest to układ z rodziny XC9500XL o 72 makrocelach. Jest to drugi co do wielkości układ w tej rodzinie (licząc od najmniejszych). Układ jest zasilany napięciem 3,3 V, na wejściach układu zachowana jest tolerancja poziomów TTL. Wybór układu CPLD do sterownia podyktowany był jego odpornością na zakłócenia elektromagnetyczne. Procesory i układy FPGA mogą pracować w silnych polach elektromagnetycznych, zwłaszcza jeśeli następują duże zmiany natężenia pola.

Architektura układu została przedstawiona na rysunku 2. Układ może pracować z zegarem o częstotliwości do 125 MHz, co jak na potrzeby tego projektu, jest wartością wystarczającą z dużym zapasem. Dostępne są trzy dedykowane wejścia zegarowe, z których dwa zostały wykorzystane, oraz dedykowane wejście resetu GSR (*Global Set-Reset*), które zostało użyte zgodnie z jego przeznaczeniem.

* Doktorant Wydziału EAIiE, Akademia Górniczo-Hutnicza w Krakowie



Rys. 1. Schemat blokowy układu CS5451A
Źródło: [1]



Rys. 2. Architektura układu XC9572XL
Źródło: [2]

Układ jest przystosowany do programowania w systemie z wykorzystaniem JTAG-a (*Joint Test Action Group*). Umożliwia to nie tylko zaprogramowanie, ale i przetestowanie projektu w docelowym sprzęcie. Możliwość ta została wykorzystana na etapie uruchamiania urządzenia i znacząco przyspieszyła tą część jego realizacji.

4. KONTROLER USB

Transmisja USB została zrealizowana z wykorzystaniem układu kontrolera USB z wyjściem równoległym, firmy FTDI (*Future Technology Devices International*). W komputerze PC transmisja może być obsługiwana w sposób identyczny jak dla zwykłego portu COM. Umożliwia to łatwe i szybkie stworzenie aplikacji czytającej dane z urządzenia i sterującej urządzeniem.

Nie ma tutaj ograniczenia co do sposobu tworzenia aplikacji, ponieważ może to być dowolny język programowania jak również, np. LabView. Interfejs sprzętowy, przez który kontroler komunikuje się z resztą urządzenia jest podobny do interfejsu pamięci z 8-bitową szyną danych. W urządzeniu wykorzystano jeszcze sygnał zerujący generowany przez układ.

Strukturę układu przedstawiono na rysunku 3.

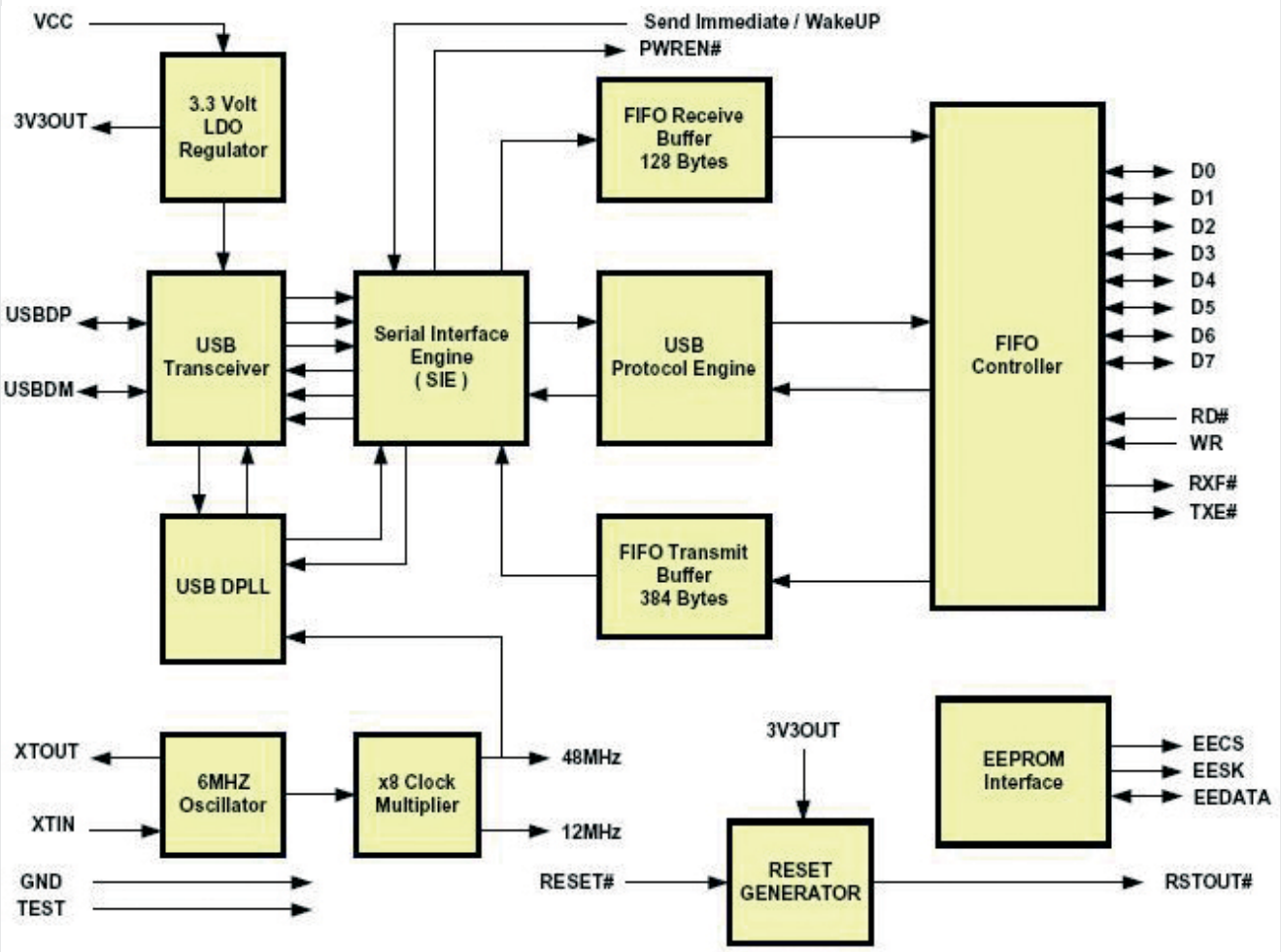
5. STRUKTURA STEROWANIA POMIAREM

Struktura przepływu danych i sterowań w układzie jest następująca: komenda z komputera PC jest wysyłana do urządzenia przez interfejs USB do kontrolera. Kontroler przekazuje ją do układu CPLD gdzie jest interpretowana i na jej podstawie sterowany jest przetwornik. Dane z przetwornika uformowane w ramkę w układzie CPLD przekazywane są do kontrolera USB i dalej do komputera.

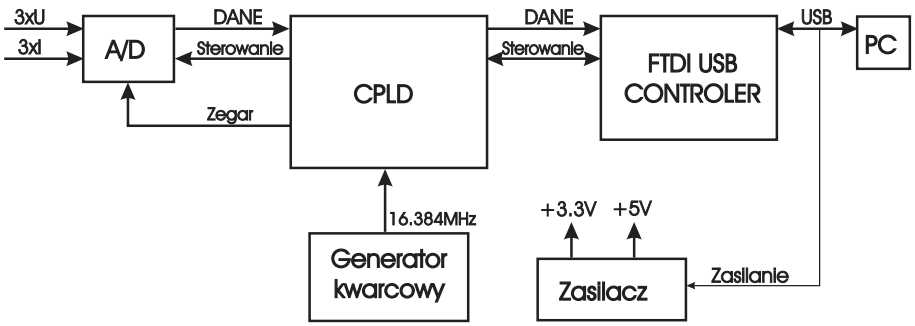
Opisane powyżej układy zostały połączone w sposób przedstawiony na rysunku 4. Układ CPLD pracuje z generatorem kwarcowym o częstotliwości 16,384 MHz. Synchronizuje on pracę układu oraz przez preskaler zrealizowany w układzie CPLD taktuje przetwornik analogowo cyfrowy, który potrzebuje sygnału zegarowego o częstotliwości 4,096 MHz. Całość zaimplementowanej funkcjonalności przedstawiono na rysunku 5.

Zaimplementowana w układzie CPLD maszyna stanów odbiera jeden bajt sterujący z układu FTDI, w którym znajduje się konfiguracja przetwornika oraz bit start/stop.

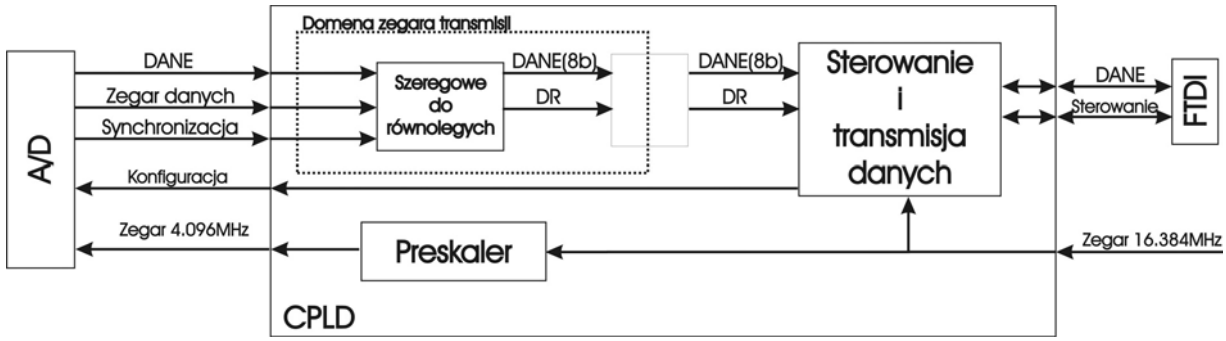
Starsze 4 bity mają stałą wartość, jeżeli nie będą zgodne ze wzorem, układ nie zareaguje na komendę start/stop wysłaną z komputera.



Rys. 3. Architektura układu FT245BM
Źródło: [3]



Rys. 4. Schemat blokowy



Rys. 5. Schemat blokowy funkcjonalności układu CPLD

0	1	0	1	START	GAIN	OWRS	-

Rys. 6. Słowo sterujące

Kolejny bit definiuje, czy układ ma zbierać dane (wartość 1) czy nie (wartość 0). Kolejne 2 bity OWRS i GAIN definiują konfiguracje przetwornika analogowo-cyfrowego (rys. 6). OWRS odpowiada za wybór jednej z dwóch dostępnych częstotliwości próbkowania, a GAIN zmienia wzmocnienie w wejściach prądowych.

Po rozpoczęciu pomiaru dane z przetwornika zamieniane są z postaci szeregowej na równoległą i w takiej formie przekazywane do układu FTDI w porcjach po 8 bitów. Ramka z przetwornika to 12 bajtów bez dodatkowych znaków na liniach danych, początek ramki sygnalizowany jest dodatkowym sygnałem. W ramce przesyłanej do komputera na początku przekazywany jest dodatkowy bajt o wartości 00 h, po nim 12 bajtów danych odebranych z przetwornika i na końcu bajt określający aktualną konfigurację(znaczenie bitów jak w słowie sterującym). Cała ramka ma długość 14 bajtów (rys. 7).

Rys. 7. Ramka danych

Tabela 1

Fragment raportu syntezy – zajętość układ

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
61/72 (85%)	156/360 (44%)	50/72 (70%)	24/34 (71%)	103/216 (48%)

Jak widać w przedstawionym fragmencie raportu (tab. 1), układ wykorzystany jest tylko w około 70%, mimo iż układ ten należy do najmniejszych w tej rodzinie i zarazem najmniejszych współcześnie produkowanych. Jest to wynik optymalizacji kodu w VHDL, pod kątem algorytmu syntezy stosowanego w narzędziu ISE WebPack, które przygotowuje pliki do zaprogramowania układu.

Wydajność układów CPLD w tego typu zastosowaniach jest olbrzymia, wykonanie takiej transmisji w procesorze z rodziny AVR jest możliwe, ale jest na granicy jego możliwości.

Jak widać na przedstawionym w tabeli 2 fragmencie raportu, układ mógłby pracować z częstotliwością 80 MHz, aktualnie pracuje przy 16,384 MHz, realizując wszystkie powierzone mu zadania. Powierzone zadania zostałyby wy-

konane już przy częstotliwości zegara 4,096 MHz, niestety generatory kwarcowe o tej częstotliwości są trudno dostępne i dlatego została wybrana całkowita wielokrotność tej częstotliwości.

Tabela 2

Fragment raportu syntezy – wydajność

Performance Summary	
Min. ock Period	12,400 ns
Maks. ock Frequency (System)	80,645 MHz
Limited by Cycle Time for CLK	
ock to Setup (tCYC)	12,400 ns
Pad to Pad Delay (tPD)	8,400 ns
Setup to Clock at the Pad (tSU)	10,500 ns
Clock Pad to Output Pad Delay (tCO)	8,900 ns

6. ODPORNOŚĆ ELEKTROMAGNETYCZNA

System pomiarowy przeznaczony jest do pracy w pobliżu układów zasilania dużej mocy, również takich które wykorzystują rozwiązania z falownikami. Są to bardzo trudne warunki dla stosunkowo delikatnych urządzeń elektronicznych. Ma to duży wpływ na dobór elementów i sposób projektowania obwodów drukowanych. Nie uwzględnienie tego założenia może skutkować niepoprawną pracą urządzenia w docelowych warunkach, mimo iż działa prawidłowo w warunkach normalnych.

7. WNIOSKI

Przedstawiona konstrukcja została w miarę możliwości uproszczona tak, aby wyeliminować elementy, które mogą być podatne na zakłócenia. Elementem takim okazał się procesor z rodziny AVR, który powodował niestabilne działanie pierwszego prototypu. System przeszedł pozytywnie pierwsze testy odporności na zakłócenia elektromagnetyczne. Obecnie budowane są analogowe obwody wejściowe, po których ukończeniu system już jako całość zostanie poddany testom w warunkach, w których będzie docelowo pracował.

Drugim kierunkiem rozwoju urządzenia jest rozwój oprogramowania sterującego. Wykorzystując możliwość zmiany wzmocnienia w obwodach prądowych można stworzyć algorytm automatycznej regulacji wzmocnienia. Pozwoli on na podniesienie rozdzielczości pomiaru w okresach kiedy urządzenia pobiera małą moc w stosunku do jego mocy maksymalnej/znamionowej. Oprócz prostego oprogramowania pozwalającego zapisywać zebrane dane do dalszej obróbki można przygotować dedykowane oprogramowanie dla danego urządzenia, pokazujące w czasie rzeczywistym stan pracy tego urządzenia, jego impedancję oraz pobieraną moc i energią.

Literatura

[1] http://www.cirrus.com/ Dokumentacja przetwornika CS5451A
[2] http://www.xilinx.com/ Dokumentacja układu CPLD XC9572XL i noty aplikacyjne
[3] http://ftdichip.com/ Dokumentacja kontrolera USB FT245BM i noty aplikacyjne

Wpłynęło: 6.02.2008 r.

Artur BOROŃ

Urodził się 24 stycznia 1982 r. w Krakowie. W roku 2007 ukończył studia na wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej, kierunek Elektrotechnika. Aktualnie jest doktorantem tego wydziału. Zainteresowania naukowe dotyczą metrologii, projektowania cyfrowych urządzeń pomiarowych w szczególności opartych na układach FPGA oraz cyfrowego przetwarzania sygnałów.

e-mail: Artur.boron@agh.edu.pl