

Łukasz Mik*, Marek Gorgoń**

Kamera cyfrowa zintegrowana z reprogramowalnym systemem przetwarzania obrazów

1. Wprowadzenie

Szybki rozwój urządzeń do przetwarzania i analizy obrazów przyczynił się do kontynuowania prac nad poszukiwaniem nowych rozwiązań w tym zakresie. Jednym z kierunków poszukiwań instytucji naukowych i firm komercyjnych są zintegrowane kamery cyfrowe. Część rozwiązań w tej dziedzinie opiera się na wykorzystaniu układów reprogramowalnych FPGA [2, 4]. Systemy wizyjne oparte na układach FPGA są przedmiotem badań od ponad piętnastu lat [1, 3]. Odgrywają one istotną rolę w systemach przetwarzania obrazów stosowanych w przemyśle.

Niniejsza publikacja opisuje konstrukcję zintegrowanej kamery cyfrowej, opartej na układzie FPGA serii Spartan-3 firmy Xilinx, umożliwiającej realizację operacji wstępnego przetwarzania obrazów monochromatycznych dla telewizji przemysłowej.

2. Założenia projektu systemu

Szybkość wykonywania algorytmów przetwarzania obrazów jest bardzo istotna z punktu widzenia procesów przemysłowych. Uzasadnione jest więc stosowanie układów FPGA w celu zapewnienia odpowiedniej mocy obliczeniowej. Coraz częściej układy te wykonują również zadanie analizy obrazu. Ilość danych po dokonaniu analizy znacznie spada. Założono, że konstruowany system będzie zdolny do wykonywania operacji przetwarzania obrazu oraz wybranych etapów analizy. Dzięki temu do komputera nadrzędnego transmitowany będzie strumień danych o znacznie mniejszej przepływności niż strumień pikseli otrzymywany z czujnika obrazu. Zaletą tego typu rozwiązań jest przejście zadania

* PWSZ w Tarnowie

** Katedra Automatyki, Akademia Górniczo-Hutnicza w Krakowie

wstępnego przetwarzania i analizy obrazu przez układ FPGA, co w znacznym stopniu przyspiesza zarówno przesłanie danych, jak i w konsekwencji ich końcowe przetworzenie w komputerze PC (np. dokonanie etapu rozpoznawania).

Zaprojektowanie i wykonanie prototypu zintegrowanej kamery zostało poprzedzone wnikliwą analizą zadań, jakie ma ona spełniać, oraz doбором istotnych elementów, które powinna zawierać. Określono następujące wymagania użytkowe:

- implementacja algorytmów z możliwością szybkiej rekonfiguracji,
- przetwarzanie obrazów w czasie rzeczywistym,
- prezentacja wyników przetwarzania na ekranie monitora (wykorzystanie interfejsów VGA i USB).

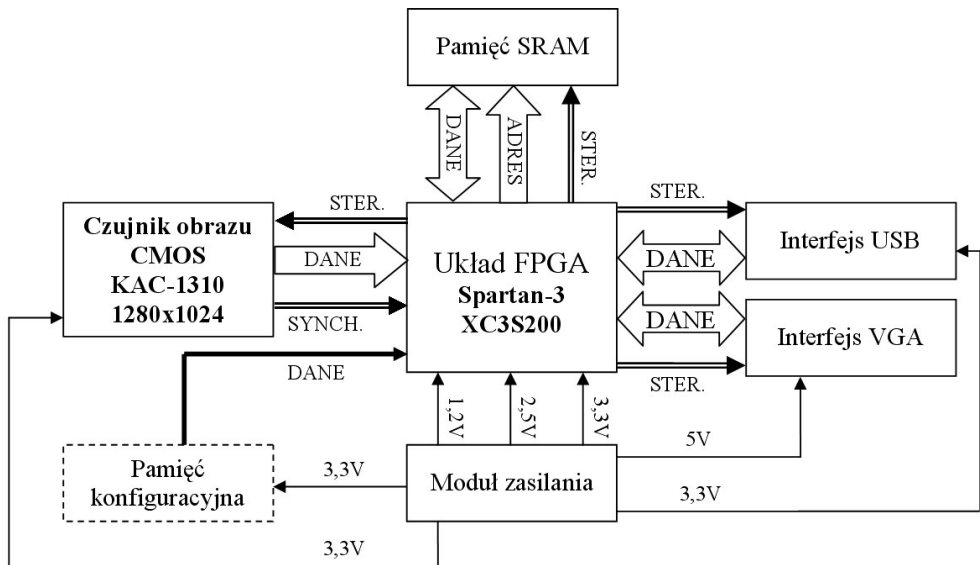
Wymienione wyżej funkcje zdeterminowały wybór następujących elementów do projektu:

- monochromatyczny czujnik obrazu o minimalnej wielkości matrycy 1,3 Mpix z możliwością programowania rozmiarów okna (zmiany docelowej rozdzielczości),
- układ FPGA o min. pojemności 200 tys. bramek logicznych,
- interfejsy komunikacyjne: JTAG – do zmiany konfiguracji w układzie FPGA, USB do wymiany danych z komputerem PC,
- interfejs VGA do wyświetlania podglądu obrazu źródłowego lub wyjściowego z kamery na dowolnym monitorze komputerowym,
- pamięć RAM o czasie dostępu nie większym niż 10 ns,
- modułowa konstrukcja kamery (możliwość rozbudowy w przyszłości).

3. Konstrukcja urządzenia

Sercem kamery, jak pokazano na rysunku 1, jest układ FPGA, który pełni funkcję łącznika pomiędzy czujnikiem obrazu a pamięcią RAM oraz urządzeniami do prezentacji sygnału wizyjnego (monitor, komputer). Pamięć RAM jest zorganizowana w postaci dwóch bloków o pojemności 256 KB każdy i pozwala przechowywać dwa obrazy o rozmiarze 512×512 pikseli. W jednym cyklu zapisu bądź odczytu można korzystać tylko z jednego bloku o pojemności 256 KB.

Zastosowanie w projekcie układu pamięci jednoportowej o bardzo krótkim czasie dostępu zostało podyktowane szybkością procesów przetwarzania. Część zasobów układu reprogramowalnego została użytych do budowy sterowników czujnika obrazu, interfejsu VGA i USB oraz pamięci RAM. Pozostałą część zasobów logicznych możemy wykorzystać do implementacji dowolnego algorytmu przetwarzania obrazów.



Rys. 1. Schemat blokowy kamery

3.1. Elementy wykorzystane do budowy kamery

Kamera została skonstruowana jako samodzielne urządzenie, które nie wymaga stałej współpracy z komputerem nadrzędnym (*standalone*). W projekcie jako źródło sygnału wizyjnego został użyty czujnik obrazu firmy Kodak o symbolu fabrycznym KAC-1310 w wersji monochromatycznej. Integruje on w sobie kompletny system analogowej akwizycji obrazu, obróbki poprzez programowalne elementy aktywne (np. wzmacniacz o programowalnym wzmocnieniu) oraz 10-bitowy przetwornik analogowo–cyfrowy. Matryca czujnika jest wykonana w technologii CMOS i ma rozmiar 1/2", co przy rozdzielczości 1,3 Mpix pozwala uzyskać obraz o wielkości 1280×1024 pikseli (standard SXGA). Bardzo istotną cechą układu KAC-1310 jest możliwość definiowania wielkości aktywnego okna pikseli. Tryby próbkowania w jakich może pracować czujnik to 1/2, 1/4, 1/8. Dla przykładu w trybie 1/2 wielkość obrazu zmniejsza się do rozmiaru 640×512 pikseli [5].

Do budowy płyty sterującej kamery użyto układu Spartan-3 firmy Xilinx z serii XC3S200 posiadającego zasoby ok. 200 tysięcy bramek logicznych. Zasoby te (m.in. konfigurowalne bloki logiczne, bloki wejścia-wyjścia, dwuportowe pamięci blokowe RAM, 18-bitowe bloki mnożące) są wystarczające do implementacji wstępnych operacji przetwarzania obrazów [6].

Do magazynowania ramki obrazu o wymiarach 512×512 pikseli została użyta pamięć statyczna o symbolu fabrycznym IS61LV25616 firmy ISSI. Układ ten ma pojemność 4194304 bitów zorganizowanych jako 262 144 słowa 16-bitowe. Obwód kontroli przepływu danych z oraz do pamięci umożliwia zmianę jej organizacji w dwa oddzielne bloki o pojemności 256K × 8b każdy [7].

Interfejs USB do wymiany danych z komputerem PC został zrealizowany z wykorzystaniem układu konwertera portu USB do dwukierunkowego portu równoległego FIFO firmy FTDI o symbolu fabrycznym FT245RL. Do głównych cech konwertera, które zdecydowały o jego wyborze do projektu należą:

- wygodny do sterowania interfejs dla układu typu FPGA,
- przepustowość transferu danych do 1 MB/s,
- zintegrowana pamięć EEPROM do przechowywania informacji identyfikacyjnych,
- kompatybilność z interfejsem USB 2.0.

Producent na swojej stronie internetowej bezpłatnie udostępnia sterowniki do systemów operacyjnych najczęściej używanych na komputerach PC [8].

3.2. Modułowa budowa kamery

Zdecydowano się na modułową budowę kamery. Ułatwia to rozmieszczenie elementów w kompaktowej obudowie oraz ich testowanie lub ewentualną wymianę w celu dalszej rozbudowy urządzenia. Poniżej opisano moduły, z których składa się kamera.

- Moduł przetwornika obrazu – jest to aplikacja zgodna ze specyfikacją firmy Kodak zawartą w dokumentacji czujnika [5].
- Moduł logiki programowalnej – zbudowany w oparciu o układ FPGA firmy Xilinx z rodziny Spartan 3. W jego skład wchodzi również generator kwarcowy 50 MHz i opcjonalnie pamięć konfiguracyjna o pojemności 2 Mbit, która w modelu prototypowym nie była montowana. Moduł ten spełnia rolę kanału transmisyjnego oraz umożliwia implementację operacji przetwarzania i analizy obrazu pomiędzy czujnikiem CMOS i pamięcią RAM, a wyjściami układu typu VGA i USB. Funkcje układu FPGA można dowolnie programować w języku VHDL [6].
- Moduł zasilacza dostarcza odpowiednich napięć dla wszystkich podzespołów kamery. Zbudowany jest na stabilizatorach typu LDO (*Low DropOut*) o napięciach wyjściowych: 3,3 V (Spartan 3, pamięć konfiguracyjna, pamięć SRAM, generator kwarcowy, czujnik obrazu), 2,5 V i 1,2 V (Spartan 3). Źródłem napięcia wejściowego dla tego modułu jest zasilacz impulsowy o napięciu 5 V i wydajności prądowej 1,2 A.
- Moduł pamięci SRAM [7] – wykonany w postaci przejściówki z obudowy typu SSOP (*Shrink Small Outline Package*) 44-nóżkowej na złącze szpilkowe. Złącze to wykorzystuje 48 portów I/O układu FPGA. Na obwodzie drukowanym przejściówki do pamięci zostało podłączonych tylko 39 portów. Dodatkowe piny mogą być wykorzystane do obsługi pamięci o większej pojemności.
- Moduł przetwornika wideo – jest to przetwornik cyfrowo-analogowy o rozdzielczości 8-bitów zbudowany z wykorzystaniem drabinki R-2R i wzmacniacz operacyjny (pasma do 28 MHz) w konfiguracji wtórnika. Umożliwia on wyświetlanie na ekranie monitora CRT obrazu monochromatycznego o rozmiarze 640×480 punktów z częstotliwością odświeżania 60 Hz.

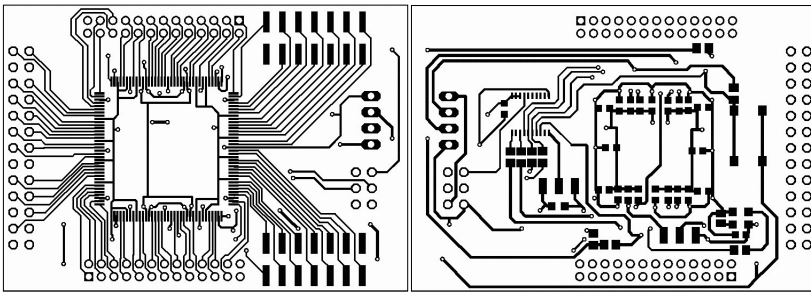
- Moduł interfejsu USB – realizuje konwersję danych równoległych do postaci szeregowej zgodnej ze specyfikacją USB w wersji 1.1. Szybkość, z jaką można transmitować dane, wynosi 8 Mb/s. Moduł ten jest zasilany poprzez port USB, więc pobór prądu następuje tylko podczas fizycznego połączenia z komputerem PC [8].

3.3. Wykonanie prototypu

W procesie modelowania kamery możemy wyodrębnić trzy najważniejsze etapy:

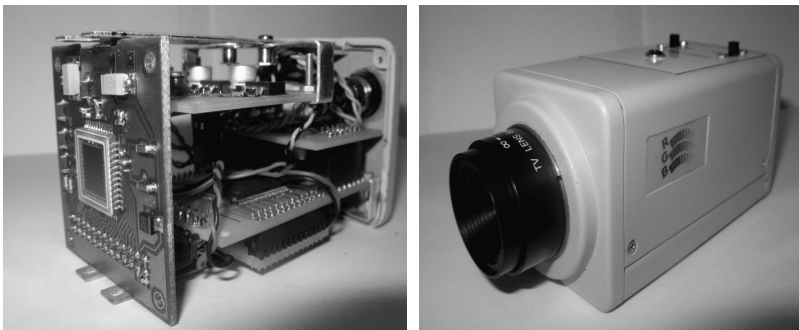
- 1) Projektowanie i wykonanie modułów elektronicznych.
- 2) Projektowanie konfiguracji układu FPGA w języku VHDL.
- 3) Uruchomienie urządzenia.

W pierwszym etapie zostały zaprojektowane i wykonane we własnym zakresie (na frezarko-wiertarce numerycznej) płytki drukowane układów elektronicznych. Najbardziej złożony obwód drukowany został stworzony dla układu FPGA oraz wszystkich niezbędnych do jego pracy elementów. Efekt pracy został przedstawiony na rysunku 2.



Rys. 2. Schemat płytki drukowanej dla układu logiki programowalnej

Po zmontowaniu wszystkich modułów na przygotowanych obwodach drukowanych zostały one złożone w całość i umieszczone w typowej obudowie kamery przemysłowej. Widok kamery został przedstawiony na rysunku 3.



Rys. 3. Widok szkieletu kamery z modułami i w obudowie

W kolejnym etapie został rozpoczęty proces programowania układu XC3S200 przy wykorzystaniu pakietu oprogramowania ISE WebPack 9.1i (język VHDL). Po zakończeniu (z sukcesem) procesu tworzenia konfiguracji przystąpiono do testów, które zostały omówione w następnym rozdziale.

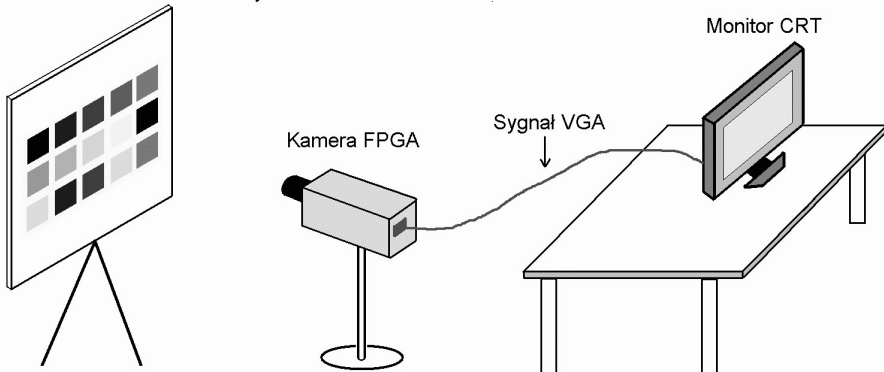
4. Testowanie i uruchamianie kamery

Uruchamianie i testowanie urządzenia zostało podzielone na dwie fazy:

- 1) implementację toru wizyjnego,
- 2) realizację dwóch prostych operacji jednopunktowego przetwarzania obrazu (skalowanie rewersyjne i binaryzacja).

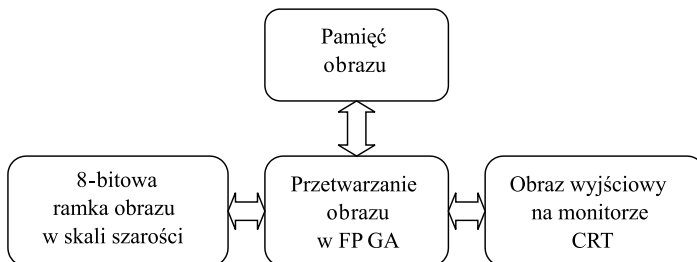
Schemat stanowiska do badania kamery został przedstawiony na rysunku 4.

Tablica z obrazem wzorcowym



Rys. 4. Stanowisko do badania kamery

Dotychczas udało się uruchomić tor wizyjny z wyjściem VGA. Interfejs USB jest w fazie testów. Schemat toru wizyjnego obrazuje rysunek 5.



Rys. 5. Schemat toru wizyjnego

Zasoby układu FPGA wykorzystane do konstrukcji toru wizyjnego przedstawiono w tabeli 1.

Tabela 1
Zasoby układu FPGA wykorzystane do implementacji toru wizyjnego

Nazwa jednostki	Liczba dostępnych jednostek	Liczba użytych jednostek	Procent wykorzystanych zasobów
4 wejściowe LUT	3840	77	2
Porty I/O	97	62	64
Globalne linie zegarowe	8	5	63
Bramki logiczne	200000	1288	1

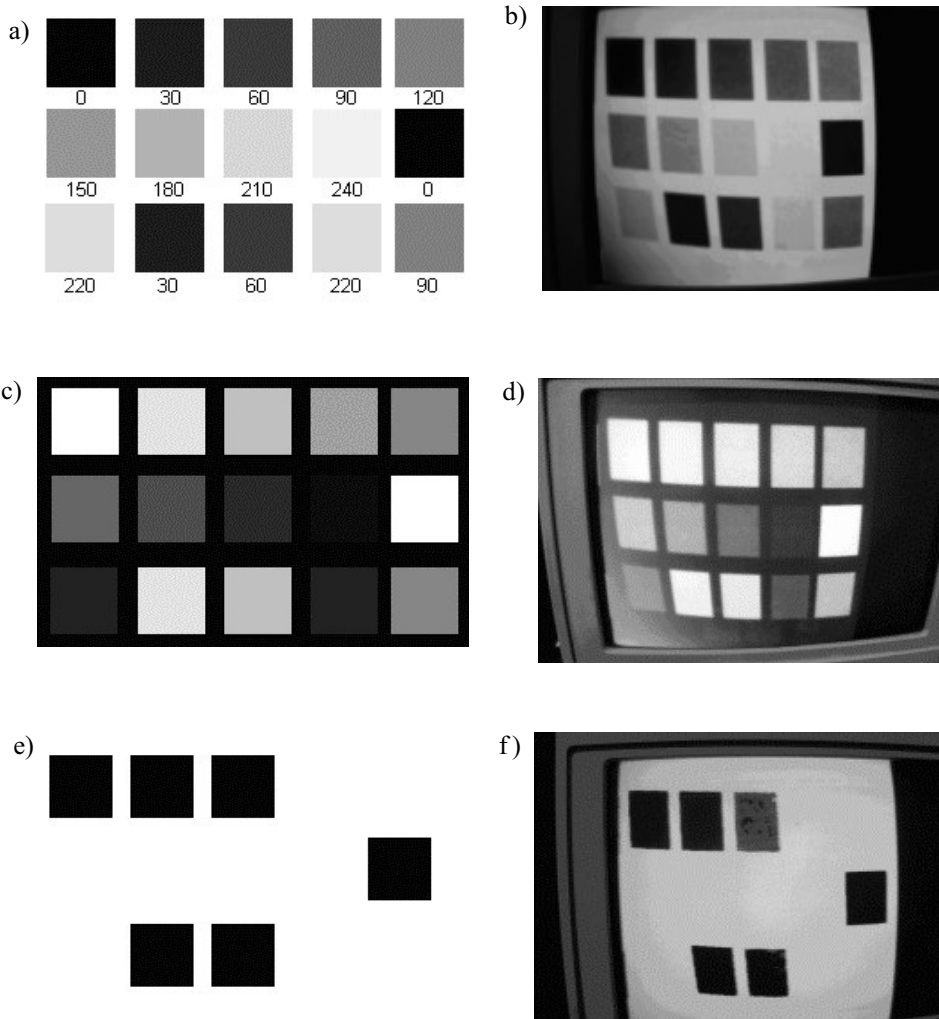
Droga każdego piksela wiedzie przez układ FPGA, który najpierw zapisuje całą ramkę do pamięci obrazu (SRAM), a następnie wyświetla ją na monitorze CRT. W konfiguracji docelowej rozmiar obrazu wynosi 640×480 przy odświeżaniu 60 Hz. Nie daje to zgodności z torem przetwarzania (512×512 pikseli), ale służy zwiększeniu kompatybilności ze starszymi modelami monitorów. Zewnętrzny sygnał zegarowy 50 MHz wymaga podzielenia dla poszczególnych jednostek wykonawczych w układzie FPGA. Dla odczytu danych z czujnika obrazu częstotliwość zegara głównego jest dzielona przez 4, co daje częstotliwość 12,5 MHz. Do wyświetlania obrazu na ekranie monitora z odświeżaniem 60 Hz potrzebny jest zegar 25 MHz. Wymaga to podzielenia częstotliwości zegara wejściowego przez 2. Uzyskano w ten sposób wyświetlanie pięciu ramek na sekundę z częstotliwością odświeżania 60 Hz na ekranie CRT.

W celu sprawdzenia przydatności kamery do realizacji algorytmów przetwarzania, wykonanych zostało kilka testów na wzorcowym obrazie, który przedstawia 15 kwadratów o różnych poziomach jasności pikseli na białym tle. Obraz ten został wydrukowany na białej kartce i umieszczony w pewnej odległości od kamery. Następnie uruchomiony został tor wizyjny w celu ustawienia odpowiedniej ostrości na obiektywie i natężenia oświetlenia w pomieszczeniu. Wygenerowane zostały również w programie graficznym GIMP przewidywane wyniki testów, w celu porównania ich z otrzymanymi na wyjściu VGA. Po wstępnych przygotowaniach sprzętu przystąpiono do testów. Na rysunku 6 przedstawiono wyniki testów.

5. Wnioski

Kamera cyfrowa będąca przedmiotem niniejszej publikacji stanowi kontynuację badań nad stosowaniem układów reprogramowalnych w zintegrowanych systemach wizyjnych. W rezultacie udało się skonstruować prototyp urządzenia, które umożliwia integrację w kompaktowej obudowie systemu akwizycji i przetwarzania obrazów. Założenia projektowe określiły dobór odpowiednich elementów elektronicznych. Na obecnym etapie prac

możliwa jest obróbka obrazu monochromatycznego o maksymalnych wymiarach 512×512 pikseli z szybkością 5 ramek na sekundę. W trakcie dalszych prac zakłada się w przyszłości zwiększenie ramki obrazu oraz liczby ramek przetwarzanych na sekundę. Będzie to możliwe dzięki modyfikacji, ewentualnie wymianie poszczególnych modułów kamery. Planowane jest również uruchomienie interfejsu USB w wersji 1.1 lub wyższej, zmiana czujnika obrazu na szybszy oraz rozbudowa zasobów pamięci o dodatkowe układy.



Rys. 6. Wyniki testów: a) obraz wzorcowy z podanymi poziomami jasności; b) obraz wzorcowy na ekranie monitora po przetworzeniu w kamerze; c) wynik negacji w programie GIMP; d) wynik negacji uzyskany w kamerze; e) wynik binaryzacji z progiem 80 w programie GIMP; f) wynik binaryzacji z progiem 80 uzyskany za pomocą kamery

Literatura

- [1] Athanas P.M., Abbott A.L., *Image Processing on a Custom Computing Platform, Field Programmable Logic Architectures, Synthesis and Applications*. 4th International Workshop on Field Programmable Logic and Applications, Proceedings FPL'94, Lecture Notes in Computer Science, Springer-Verlag, Berlin, Germany, vol. 705, 156–167.
- [2] Lepisto N., Thornberg B., O'Nils M., *High Performance FPGA Based Camera Architecture for Range Imaging*. NORCHIP Conference, 23rd vol., 21–22 Nov. 2005, 165–168, 2005.
- [3] Wiatr K., Kasperek P., Rajda P., *Multiprocessor Unit for a Fast Image Data Pre-Processing in Real Time Applications*. Proceedings of the 5-th School of Computer Vision and Graphics, Wydawnictwo Format, Wrocław, 1994, 339–344.
- [4] Zhaog Y.L., Juang D.C., Horng C.H., *A Color Video Camera Using FPGA Processor*. ASIC Conference and Exhibit, Proceedings, Fourth Annual IEEE International, 23–27 Sep. 1991, P16–7/1–4.
- [5] *Kodak KAC-1310 Image Sensor Device Performance Specification*. Dokumentacja techniczna czujnika obrazu, <http://www.kodak.com>.
- [6] *Spartan-3 FPGA Family Complete Data Sheet*. Dokumentacja techniczna układów FPGA z rodziny Spartan-3, <http://www.xilinx.com>.
- [7] Dokumentacja techniczna pamięci SRAM IS61LV25616, <http://www.issi.com>.
- [8] Dokumentacja techniczna układu konwertera USB FT245RL, <http://www.ftdichip.com>.